

(51)Int.Cl.⁵

H03H 11/24

識別記号

庁内整理番号

FI

技術表示箇所

B 8731-5J

審査請求 未請求 請求項の数2(全3頁)

(21)出願番号 特願平3-1876

(22)出願日 平成3年(1991)1月11日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 井波 大二郎

東京都港区芝五丁目7番1号日本電気株式会社内

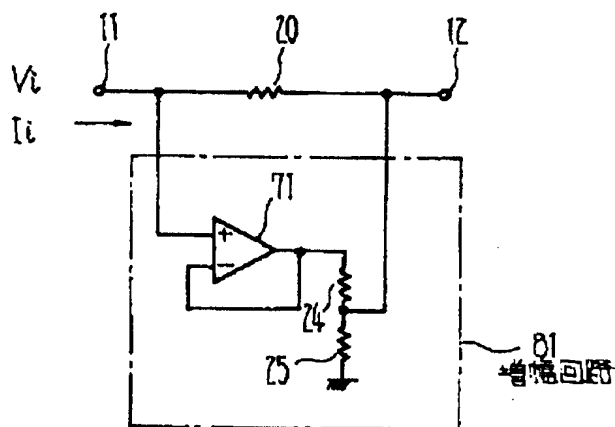
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 可変抵抗器

(57)【要約】

【構成】抵抗素子20の一方の端子に増幅率を可変設定し得る増幅回路81の入力端を、また抵抗素子20のもう一方の端子に増幅回路81の出力端を、それぞれ接続した構成を有する。

【効果】非常に大きな抵抗値でも半導体集積装置上での占有面積を大きくせずに実現でき、高い集積密度が得られる。



1

【特許請求の範囲】

【請求項1】 抵抗素子の一方の端子に増幅率を可変設定し得る増幅回路の入力端を、また該抵抗素子のもう一方の端子に該増幅回路の出力端を、それぞれ接続した構成を有することを特徴とする可変抵抗器。

【請求項2】 前記増幅回路は、入力端に与えられる電圧信号を増幅するための演算増幅器と、該演算増幅器の送出電圧を分圧して出力する抵抗分圧回路とを有する請求項1記載の可変抵抗器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は可変抵抗器に関し、特に半導体集積装置上に装造される可変抵抗器に関する。

【0002】

【従来の技術】従来のこの種の可変抵抗器は、大きく2通りに分類する事ができる。すなわち、図2に示すような並列型と、図3に示すような直列型である。両図において、参照番号21、22、23は抵抗素子、31、32、33は半導体スイッチ、551、52、53はスイッチ制御信号入力端、11、12は入力端子である。又、21、22、23の抵抗値をそれぞれR21、R22、R23と表わし、半導体スイッチ31、32、33はそれぞれ、スイッチ制御信号が“ハイレベル”の時に導通状態になり、“ローレベル”の時には遮断状態となる。

【0003】従って、第2図、第3図の場合とも、スイッチ制御信号のレベルの高低の組み合わせにより、入力端子11および12の間の抵抗値を可変できる。

【0004】

【発明が解決しようとする課題】この従来の可変抵抗器では、大きな抵抗値を得るには、抵抗素子21、22、23のどれかひとつないし全ての抵抗値を大きくする必要がある。しかし、半導体集積装置上で実現できる抵抗素子は、シート抵抗に限られているため、大きな抵抗値を得るには、抵抗素子の長さを幅に比べ充分長くする必要があり、素子寸法が大形化してしまう。これは、高い素子密度が求められる半導体集積装置においては、著しい欠点である。

【0005】

【課題を解決するための手段】本発明の可変抵抗器は、抵抗素子の一方の端子に増幅率を可変設定し得る増幅回路の入力端を、また該抵抗素子のもう一方の端子に該増幅回路の出力端を、それぞれ接続した構成を有する。

【0006】

【実施例】次に本発明について図面を参照して説明する。

【0007】図1は、本発明の一実施例を示す回路図である。入力端子11から入力電圧Viを印加される抵抗

2

素子20と、入力電圧Viが入力される増幅回路81とを備え、増幅回路81の出力電圧AViが抵抗素子20のもう一方の入力端子12に印加されている。さらに、増幅回路81は、演算増幅器71の出力電圧を2つの抵抗素子24、25で分圧する構成を有する。抵抗素子20の抵抗値をR20とすれば、入力端子11から流入する電流Iiは、

$$I_i = (V_i - A V_i) / R_{20} \\ = V_i (1 - A) / R_{20} \quad \dots (1)$$

と表わせる。従って、入力端子11、12から見込んだ等価抵抗値をReqとすると

$$R_{eq} = V_i / I_i = R_{20} / (1 - A) \quad \dots (2)$$

となる。

【0008】ここで、Aは増幅回路81の増幅率であるが、抵抗素子24の抵抗値R24を抵抗素子25の抵抗値R25に比較してある程度小さくすることにより、簡単に1に近似したAを実現できる。一の場合、(2)式の分母をほぼ零にできるので、等価抵抗ReqがR20に比較して非常に大きな値になる。又、|A| > 1にする事によりReqをR20に比較して小さな値にする事も可能である。

【0009】このようにして、抵抗値可変範囲の極めて広い可変抵抗が実現できる。更に、第1図のようにA < 1の構成にするとReq > 0となるが、通常の非反転増幅器のようにA > 1の構成にするとReq < 0となり、いわゆる負性抵抗が得られる。

【0010】なお、増幅回路81の増幅率Aは、抵抗素子24、25を第2図、第3図に示した可変抵抗器で構成するか、あるいはヒューズ素子によるトリミングにより所望値に設定することが可能である。

【0011】

【発明の効果】以上説明したように本発明は、抵抗素子で帰還接続した増幅回路の増幅率を調整することにより、等価抵抗値を可変させることにより、特に非常に大きな抵抗値まで得られ、かつ半導体集積装置上での占有面積が小さくなり、高い集積密度が得られるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の回路図。

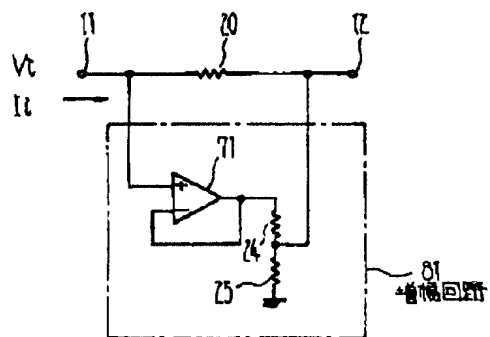
【図2】従来の可変抵抗器の回路図。

【図3】従来の可変抵抗器の回路図。

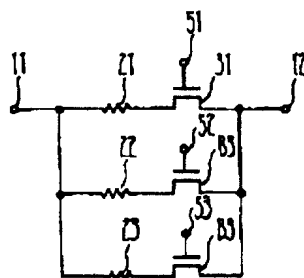
【符号の説明】

20、21、22、23、24、25、26 抵抗素子
51、52、53 半導体スイッチ
71 演算増幅器
81 増幅回路

【図1】



【図2】



【図3】

